簡易 8 ビットマイクロプロセッサ設計

電子工学科　大塚 友彦

平成 9 年 6 月 12 日 (木)

1　システム概要

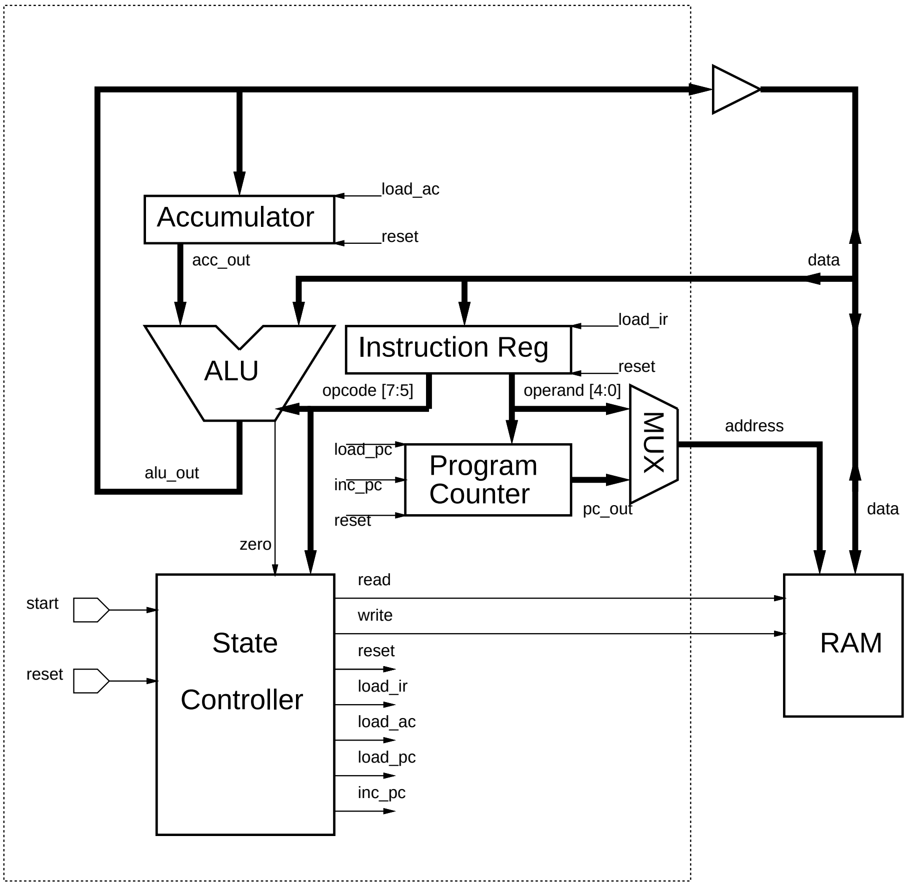

図 1: 簡易 8 ビットマイクロプロセッサのブロック図

構成要素	機能
汎用レジスタ (acc)	ロード、リセット、データ保持機能つきの 8 ビットレジスタ。
算術論理演算機構 (alu)	加算、論理積、排他的論理和機能つきの 8 ビット ALU。
プログラムカウンタ (pc)	ロード、+1、リセット機能つきの 5 ビットレジスタ。
命令レジスタ (ir)	ロード、リセット、データ保持機能つきの 8 ビットレジスタ。
制御回路	命令フェッチ、命令実行の動作のタイミングを制御する回路。
メモリ (ram)	アドレスバス 5 ビット、データバス 8 ビットの RAM。

図 1に簡易 8 ビットマイクロプロセッサのブロック図を示す。命令コード長は 3 ビット、アドレスバス幅は 5 ビットとシンプルな構成になっている。

2　サンプルファイルの入手方法

以下のようにして、SFL で記述されたサンプルファイルを入手し、所望のディレクトリの下で展開して下さい。

```
cd   所望のディレクトリ名
cp   ~newsadm/system.tar.gz   .
tar  zxvf  system.tar.gz
```

各モジュールの階層構造と対応する SFL ファイル名を図 2に示す。各モジュールの役割は、下表の通りである。

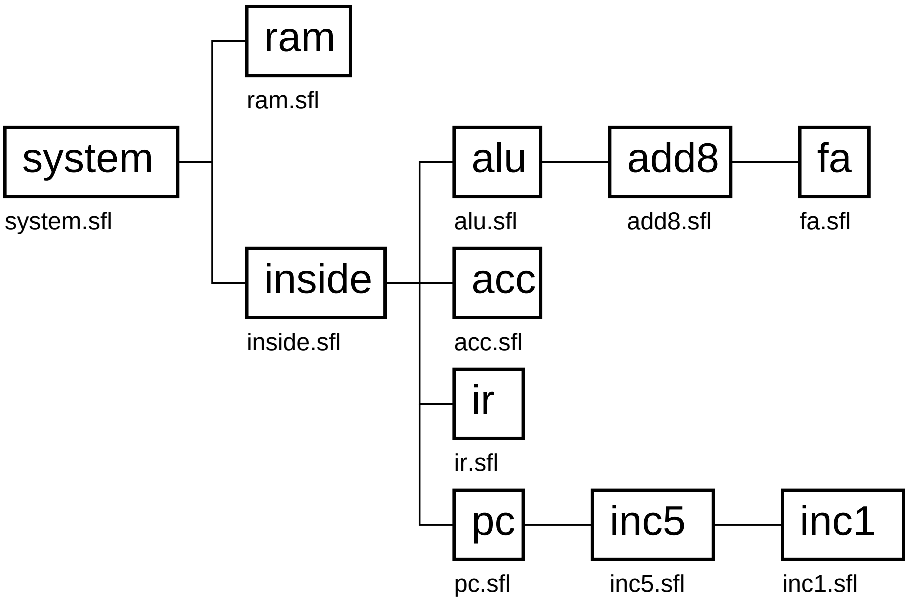

図 2: 各モジュールの階層構造

モジュール名	SFL のファイル名	役割
system	system.sfl	簡易 8 ビットマイクロプロセッサ本体。
ram	ram.sfl	アドレスバス 5 ビット、データバス 8 ビットの RAM。
inside	inside.sfl	FPGA に実装するモジュールで、alu, acc, ir, pc の各モジュールが含まれる。
alu	alu.sfl	加算、論理積、排他的論理和機能を持つ算術論理演算機構。
acc	acc.sfl	ロード、データ保持、リセット機能つきの汎用レジスタ。
ir	ir.sfl	命令コード 3 ビット、オペランド 5 ビットの命令レジスタ。
pc	pc.sfl	ロード、+1、リセット、データ保持機能を持つプログラムカウンタ。
add8	add8.sfl	8 ビットの加算回路。
inc5	inc5.sfl	5 ビットのインクリメンタ (「+1」をする回路)。
fa	fa.sfl	全加算回路。
inc1	inc1.sfl	1 ビットのインクリメンタ。

3 実験の進め方

1. サンプルの CPU の動作を理解する。
2. 下表のように各モジュール毎に担当者を決め、下記の課題を実現するように機能拡張を行なう。

担当者名	分担
	alu, ram
	acc,pc
	inside

   (a) ゼロフラグによる条件分岐命令の追加。
   (b) acc における右シフト命令の追加。
   (c) alu における減算命令の追加。
   (d) 全命令セットを使った簡単なマシン語プログラムの作成。